

E6216

PATENT ABSTRACTS OF JAPAN

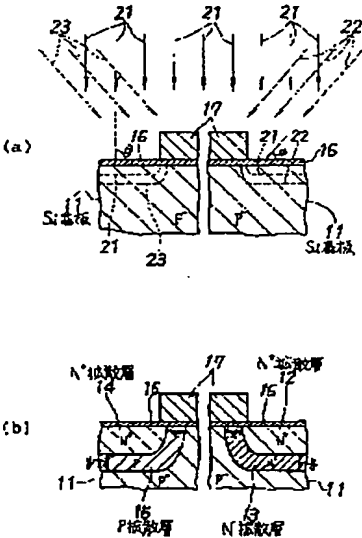
(11)Publication number : 05-129602
(43)Date of publication of application : 25.05.1993

(51)Int.Cl. H01L 29/784
H01L 21/265

(21)Application number : 03-313546 (71)Applicant : SONY CORP
(22)Date of filing : 01.11.1991 (72)Inventor : NODA MASANORI

(54) MANUFACTURE OF MIS TYPE SEMICONDUCTOR DEVICE

(57)Abstract:
PURPOSE: To acquire an MIS type semiconductor device of double diffusion structure having large effect and high integration degree by enlarging a side width of a relatively deep diffusion layer by a little thermal hysteresis.
CONSTITUTION: Ion implantation of As 21 is carried out at an angle θ ; of about 90 to 80° C to a surface of an Si substrate 11 and ion implantation of Phos 22 and B 23 is carried out at an angle ϕ ; of about 70 to 45° C using a gate electrode 17, etc., as a mask. Shallow N+ diffusion layers 12, 14 are formed of As 21 of little diffusion coefficient and deep N- diffusion layer 13 and P- diffusion layer 15 are formed of Phos 22 and B 23 of large diffusion coefficient. Since an offset is generated in advance sideward below the gate electrode 17, etc., between As 21, Phos 22 and B 23, a width (x) can be enlarged even side diffusion is less than down diffusion in an Si substrate 11.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-129602

(43)公開日 平成5年(1993)5月25日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/784
21/265

8225-4M

H01L 29/78

301 S

8617-4M

21/265

S

8617-4M

H01L 21/265

U

審査請求 未請求 請求項の数1(全4頁) 最終頁に続く

(21)出願番号

特願平3-313546

(22)出願日

平成3年(1991)11月1日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 野田 昌敬

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

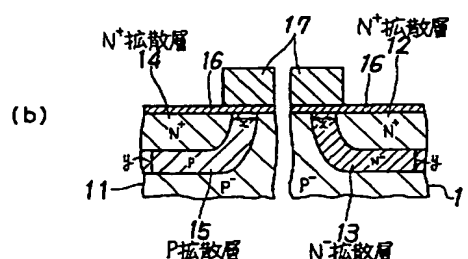
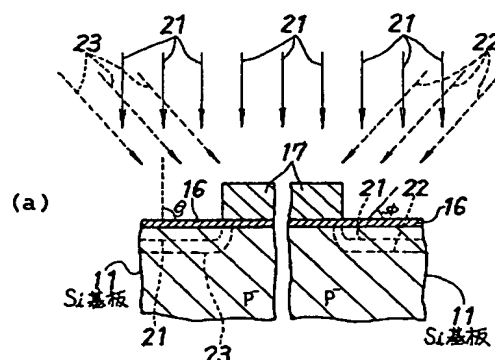
(74)代理人 弁理士 土屋 勝

(54)【発明の名称】 M I S型半導体装置の製造方法

(57)【要約】

【目的】 相対的に深い拡散層の側方の幅を少ない熱履歴で広くして、二重拡散構造の効果が大きく且つ集積度の高いM I S型半導体装置を製造する。

【構成】 ゲート電極17等をマスクにして、S i基板11の表面に対して90°～80°程度の角度θでA s 21をイオン注入し、70°～45°程度の角度φでP h o s 22及びB 23をイオン注入する。そして、拡散係数の小さなA s 21で浅いN⁺拡散層12、14を形成し、拡散係数の大きなP h o s 22及びB 23で深いN⁻拡散層13及びP拡散層15を形成する。イオン注入されたA s 21とP h o s 22及びB 23の間には、ゲート電極17等の下で予め側方にオフセットが生じているので、S i基板11中における下方拡散よりも側方拡散の方が少なくとも、幅xを広くすることができる。



【特許請求の範囲】

【請求項1】半導体基板に二重に形成されている相対的に浅い拡散層と相対的に深い拡散層とでソース／ドレインが構成されているMIS型半導体装置の製造方法において、

前記半導体基板の表面に対して相対的に大きな角度で不純物をイオン注入して前記相対的に浅い拡散層を形成する工程と、

前記表面に対して相対的に小さな角度で不純物をイオン注入して前記相対的に深い拡散層を形成する工程とを有するMIS型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、二重拡散ドレイン構造等と称されており、ソース／ドレインが二重の拡散層で構成されているMIS型半導体装置の製造方法に関するものである。

【0002】

【従来の技術】図2(b)は、EPROM等における浮遊ゲート付きのMOSトランジスタを含む二重拡散構造のMOSトランジスタの従来例を示している。この様な二重拡散構造によれば、例えば、P-型のSi基板11中のN⁺拡散層12とこのN⁺拡散層12よりも深いN⁻拡散層13とでソース／ドレインを構成して、このソース／ドレインの接合降伏電圧を向上させたり、ホットキャリアを減少させたりする効果を得ることができる。

【0003】また、逆に、P-型のSi基板11中のN⁺拡散層14とこのN⁺拡散層14よりも深いP拡散層15とでソース／ドレインを構成して、このソース／ドレインによるパンチスルーを防止したり、EPROM等における浮遊ゲートへ注入するためのホットキャリアを増加させたりする効果を得ることもできる。

【0004】この様なMOSトランジスタを製造するために、従来は、図2(a)に示す様に、ゲート酸化膜16上のゲート電極17やフィールド酸化膜(図示せず)をマスクにして、Si基板11の表面に対して90°～80°程度の角度で、つまり略垂直な方向から、 10^{15}cm^{-2} 程度以上のAs21と 10^{12}cm^{-2} 程度以上のPhos22及びB23とをイオン注入していた。

【0005】その後、アニールを行うと、As21よりもPhos22やB23の方が拡散係数が大きいので、図2(b)に示した様に、As21で相対的に浅いN⁺拡散層12、14が形成され、Phos22及びB23で相対的に深いN⁻拡散層13及びP拡散層15が形成される。そして、N⁺拡散層12及びN⁻拡散層13やN⁺拡散層14を、MOSトランジスタのソース／ドレインにしていた。

【0006】

【発明が解決しようとする課題】ところが、Si基板1

1中における下方拡散に対して側方拡散は60%程度の距離でしか進行しない。そして、イオン注入した時点では、図2(a)に示した様に、As21とPhos22及びB23とがゲート電極17等の端縁下で互いに整列している。

【0007】このため、図2(b)に示す様に、N⁻拡散層13及びP拡散層15の側方の幅xが、下方の幅yに対して、

$$x \leq 0.6 \times y$$

と狭くなる。

【0008】従って、N⁻拡散層13及びP拡散層15の効果は幅xの部分で決まる。しかし、MOSトランジスタの高集積化に伴い、熱履歴が少なくなって幅xを広くしにくくなっており、二重拡散構造の効果が小さくなってきている。

【0009】熱履歴を多くすれば幅xを広くすることができるが、幅yも同時に広がって、N⁻拡散層13及びP拡散層15の接合深さ x_j が深くなる。この結果、N⁻拡散層13の深い位置で、ソース／ドレイン間がパンチスルーしたり、フィールド部の寄生MOSトランジスタがパンチスルーしたりする。従って、これを防止するためには、ゲート長を長くしたりフィールド酸化膜の幅を広くしたりして、MOSトランジスタの集積度を低下させざるを得ない。

【0010】

【課題を解決するための手段】本発明によるMIS型半導体装置の製造方法は、半導体基板11の表面に対して相対的に大きな角度 θ で不純物21をイオン注入して相対的に浅い拡散層12、14を形成する工程と、前記表面に対して相対的に小さな角度 ϕ で不純物22、23をイオン注入して相対的に深い拡散層13、15を形成する工程とを有している。

【0011】

【作用】本発明によるMIS型半導体装置の製造方法では、イオン注入した時点で、相対的に浅い拡散層12、14を形成するための不純物21と相対的に深い拡散層13、15を形成するための不純物22、23との間にイオン注入のマスク17の下で側方にオフセットが生じているので、相対的に深い拡散層13、15の側方の幅xを少ない熱履歴で広くすることができる。

【0012】

【実施例】以下、MOSトランジスタの製造に適用した本発明の一実施例を、図1を参照しながら説明する。なお、図2に示した従来例と同一の構成部分には、同一の符号を付してある。

【0013】本実施例では、図1(a)に示す様に、ゲート電極17までを従来公知の工程で形成した後、ゲート電極17やフィールド酸化膜(図示せず)をマスクにして、Si基板11の表面に対して90°～80°程度の角度 θ で、つまり略垂直な方向から、 10^{15}cm^{-2} 程度

以上のAs₂1をまずイオン注入する。

【0014】その後、今度はSi基板11の表面に対して70°～45°程度の角度φで、10¹²cm⁻²程度以上のPhos₂2及びB₂3をイオン注入する。従って、図1(a)に示す様に、イオン注入されたAs₂1とPhos₂2及びB₂3との間にゲート電極17等の下で側方にオフセットが生じている。

【0015】次に、アニールを行って、図1(b)に示す様に、拡散係数の小さなAs₂1で相対的に浅いN⁺拡散層12、14を形成し、As₂1よりも拡散係数の大きなPhos₂2及びB₂3で相対的に深いN⁻拡散層13及びP拡散層15を形成する。そして、N⁺拡散層12及びN⁻拡散層13やN⁺拡散層14を、MOSトランジスタのソース/ドレインにする。

【0016】以上の様な本実施例によれば、図1(a)に示した様に、イオン注入されたAs₂1とPhos₂2及びB₂3との間にゲート電極17等の下で予め側方にオフセットが生じているので、Si基板11中における下方拡散よりも側方拡散の方が少なく、且つ図2に示した一従来例と同じ熱履歴で幅yが同じでも、幅xを一従来例よりも広くすることができる。

【0017】このため、

$$x \approx y$$

または、

$$x \geq y$$

とすることができて、二重拡散構造の効果を大きくすることができる。

【0018】しかも、熱履歴は同じで幅yが同じであるので、N⁻拡散層13の深い位置で、ソース/ドレイン間がパンチスルーしたり、フィールド部の寄生MOSトランジスタがパンチスルーしたりするのを防止することができる。従って、ゲート長を長くしたりフィールド酸化膜の幅を広くしたりする必要がなく、高集積化が可能である。

【0019】

【発明の効果】本発明によるMIS型半導体装置の製造方法では、相対的に深い拡散層の側方の幅を少ない熱履歴で広くすることができるので、二重拡散構造の効果が大きく且つ集積度の高いMIS型半導体装置を製造することができる。

【図面の簡単な説明】

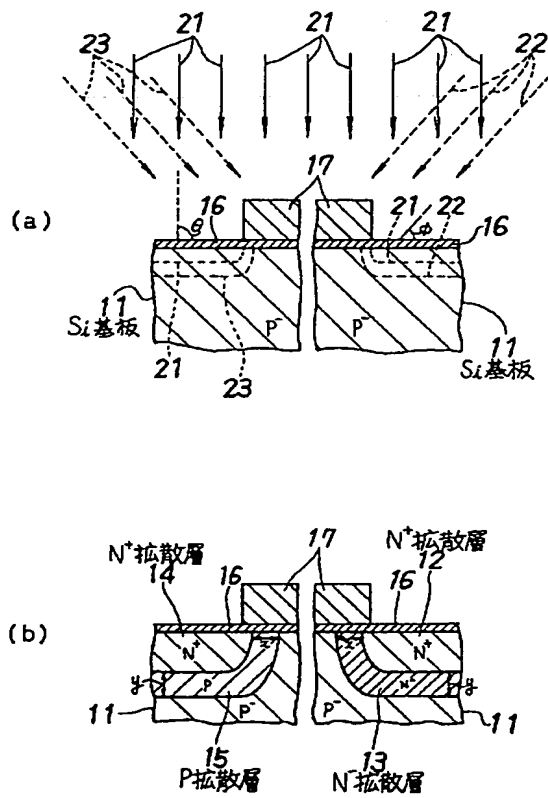
【図1】本発明の一実施例を順次に示す側断面図である。

【図2】本発明の一従来例を順次に示す側断面図である。

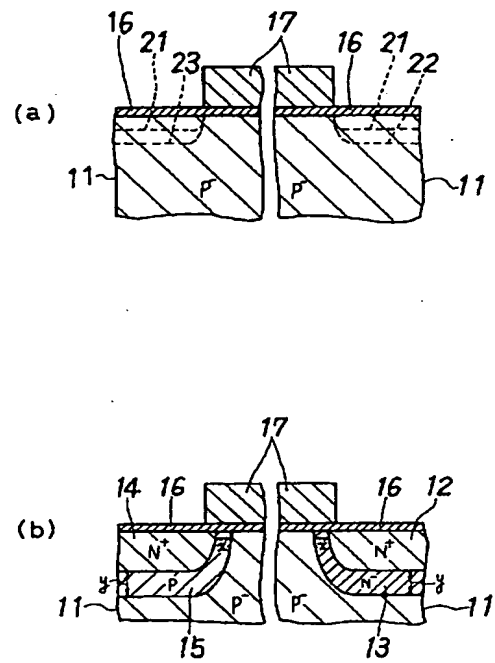
【符号の説明】

- 11 Si基板
- 12 N⁺拡散層
- 13 N⁻拡散層
- 14 N⁺拡散層
- 15 P拡散層
- 21 As
- 22 Phos
- 23 B

【図 1】



【図 2】



フロントページの続き

(51) Int. Cl.⁵

識別記号

庁内整理番号
8617-4M

F I

技術表示箇所

F